

Japan Patent Office

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: February 14, 2003

Application Number: Japanese Patent Application
No.2003-036535

[ST.10/C]: [JP2003-036535]

Applicant(s): RICOH COMPANY, LTD.

January 6, 2004

Commissioner,
Japan Patent Office

Yasuo Imai (Seal)

Certificate No.2003-3108616

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月14日

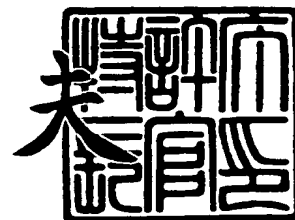
出願番号
Application Number: 特願2003-036535
[ST. 10/C]: [JP2003-036535]

出願人
Applicant(s): 株式会社リコー

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3108616

【書類名】 特許願

【整理番号】 187053

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/417

【発明の名称】 半導体記憶装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

【氏名】 山中 俊輝

【特許出願人】

【識別番号】 000006747

【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808860

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルアレイへ書き込むためのデータが入力され、該データを書き込み用のバッファ回路で構成されたライトバッファ回路部に出力する入力回路部と、センスアンプ回路部で増幅された該メモリセルアレイからのデータを外部へ出力する出力回路部とを備え、前記入力回路部に入力されたデータを前記メモリセルアレイに伝送すると共に前記出力回路部から外部へ出力する半導体記憶装置において、

前記メモリセルアレイへのデータ書き込み時に、前記入力回路部に対して所定の期間のみ入力されたデータの取り込みを行わせるように前記入力回路部の動作制御を行う入力制御回路を備えたと共に、

前記入力回路部によって取り込まれたデータの伝送を行う複数の入力用データ線と、前記メモリセルアレイから読み出され前記センスアンプ回路部で増幅されたデータ信号を前記出力回路部に伝送する複数の出力用データ線とが、隣り合うように交互に配置されて配線されることを特徴とする半導体記憶装置。

【請求項 2】 前記入力制御回路は、外部からのクロック信号の立ち上がりエッジに同期してデータの入力を行うように前記入力回路部の動作制御を行うことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記入力制御回路は、外部から入力された所定のクロック信号から所定の内部クロック信号を生成し、外部からのライトイネーブル信号がイネーブル状態になると、前記内部クロック信号が所定の信号レベルに変化してから所定の期間、前記入力回路部をそれぞれ作動させることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記各入力用データ線と各出力用データ線が同数の場合には、最端部の出力用データ線における入力用データ線が配置されていない隣部に、電源電圧又は接地電圧に接続された信号線が配置されることを特徴とした請求項 1、2 又は 3 記載の半導体記憶装置。

【請求項 5】 前記各入力用データ線によって伝送されるデータ信号の相補

信号をそれぞれ生成して出力する相補信号生成回路部と、該相補信号生成回路部からのそれぞれの信号を対応して伝送する各入力用相補データ線とを備え、前記各出力用データ線は、隣部に前記入力用データ線及び該入力用相補データ線がそれぞれ位置するように、入力用データ線と入力用相補データ線との間にそれぞれ配線されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記各出力用データ線は、前記センスアンプ回路部の対応する出力信号をラッチした信号線であり、該ラッチされたデータが前記入力用データ線によってシールドされることを特徴とする請求項 1、2、3、4 又は 5 記載の半導体記憶装置。

【請求項 7】 前記入力回路部は、データ書き込み時に、書き込み用データを入力して対応する入力用データ線にそれぞれ出力し、データ読み出し時には、該データ読み出し動作に入る直前に入力された書き込み用データを保持して対応する入力用データ線にそれぞれ出力することを特徴とする請求項 1、2、3、4、5 又は 6 記載の半導体記憶装置。

【請求項 8】 対応する入力用データ線及び出力用データ線との間にそれぞれバイパス回路を設け、該各バイパス回路は、データ書き込み時には、対応する入力用データ線のデータを対応する出力用データ線にそれぞれ伝送することを特徴とする請求項 1、2、3、4、5、6 又は 7 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に使用される RAM を使用した半導体記憶装置に関し、特に、RAM 内部におけるデータ読み出し用の信号線に関する。

【0002】

【従来の技術】

一般にデータの読み書きを行う半導体記憶装置では、データの読み出し時に微小な電流をセンスアンプにて増幅し、メモリセル内に記憶されたデータを出力している。

図 12 は、従来の半導体記憶装置の例を示した概略図であり、図 12 では、説

明を簡単にするために1つの入力端子D I及び1つの出力端子D Oに対する構成を示している。

図12において、メモリセルアレイ101のメモリセルから読み出されたデータは、ビット線対B L、列ゲート102及びデータ線対C Lを介してセンスアンプ103に入力される。

【0003】

センスアンプ103は、ビット線対B L上の非常に微小な電位差を検知して該電位差を増幅する。センスアンプ103から出力されたデータは、NMOSトランジスタからなる選択ゲート104を通過した後、ラッチ回路105でラッチされ、ラッチ回路105は、センスアンプ103の動作完了後もデータを保持する。ラッチ回路105でラッチされたデータは、出力バッファ106を介して出力端子D Oから外部へ出力される。また、書き込み時には、入力端子D Iから入力回路107に入力された入力データが、ライトバッファ108により負荷容量の大きいビット線対B Lを駆動し、メモリセルアレイ101の選択されたメモリセルにデータ書き込みを行う。

【0004】

図13は、従来の半導体記憶装置における他の例を示した図であり、図13の半導体記憶装置では、複数の選択ゲートにおける所望の選択ゲートからのデータが出力端子D Oから出力される場合を例にして示している。なお、図13では、図12と同じもの又は同様のものは同じ符号で示している。図13で示したような半導体記憶装置は、大容量のメモリセルアレイ101をブロックに分割して使用する場合等に用いられる。

図13において、図12の場合と同様に、ビット線対B L上の微小電流がセンスアンプS A 0～S A nにて増幅され、センスアンプS A 0～S A nの各出力データの内、選択ゲートS G 0～S G nで選択された出力データがラッチ回路105でラッチされ、該ラッチされたデータは複数のセンスアンプを持つブロックの内、選択された1ブロックのものとなる。

【0005】

しかし、図12及び図13のような半導体記憶装置における実際の回路レイア

ウトにおいては、セルサイズを縮小する目的から、メモリセルアレイ 101 以外の部分においても回路が密集しており、出力用データ線 IDO の近傍にもあらゆる信号線が配置されている。図 14 では、その一例として書き込み用の入力用データ線 IDI、及び半導体記憶装置の内部全体の同期を行う内部同期クロック信号 ICK が出力される内部制御信号線 CKL が、データ読み出し用である出力用データ線 IDO 近傍に配置された例を示し、出力用データ線 IDO が、列ゲート 102 とセンスアンプと間の配線近傍に配置された場合においても同様である。

【0006】

このような密集したレイアウトでは、周辺信号の動作がノイズとして影響を及ぼすことが考えられる。特に出力用データ線 IDO においては、動作スピードを決定する重要なパスでありながら、ノイズ耐性が弱いという問題があった。例えば、ビット線対 BL は、前述したように非常に微小な電流を流す信号線であり、周辺回路の動作によってノイズ等が発生すると、センスアンプからのデータ出力に支障をきたすことが考えられる。

【0007】

また、高速メモリ等でデータ出力のスピードを優先する場合、ラッチ回路 105 のデータ保持能力を弱く設定しているため、ラッチ回路 105 における出力データの保持期間中にノイズが発生すると出力用データ線 IDO にノイズが乗りやすく、ラッチ回路 105 で保持されているデータが反転することもある。また、出力用データ線 IDO にノイズが乗った場合、外部駆動用の大きな出力バッファ 106 を動作させてしまい、さらなる電源ノイズを誘発するという問題があった。

【0008】

一方、出力データが外部信号線に与えるクロストークノイズを軽減させる方法として、出力データを反転させずに伝送する信号線と該出力データを反転させて伝送する信号線を外部信号線の両隣に配置して、出力用データ線上のノイズによる外部信号線への影響を相殺するものが開示されている（例えば、特許文献 1 参照）。この場合、出力用データ線の遷移期間がノイズ源をなしている。

【0009】

また、信号線間のカップリングノイズ容量を低減させる方法として、信号線を一定間隔で並べ替えることによって、信号レベルの変化によって生じるカップリングノイズの対象を分散させることができ、ノイズを低減させるものが開示されている（例えば、特許文献 2 及び特許文献 3 参照。）。

【0 0 1 0】

【特許文献 1】

特開平 1 1 - 1 3 4 8 7 2 号公報

【特許文献 2】

特開平 7 - 2 1 1 0 6 9 号公報

【特許文献 3】

特開 2 0 0 1 - 1 6 7 5 7 2 号公報

【0 0 1 1】

【発明が解決しようとする課題】

一方、近年におけるデバイスの微細化に伴い、カップリングノイズは大きな問題になってきた。図 1 5 は、図 1 4 のように配線された場合における、出力用データ線 I D O への影響例を示した図である。図 1 5 から分かるように、出力用データ線 I D O の信号は、入力用データ線 I D I の信号の変化により、カップリングノイズが生じている。選択ゲートを閉じた後、出力用データ線 I D O はラッチ回路 1 0 5 のみでデータが保持されている。この状態で入力端子 D I に書き込み用データが入力されると、入力用データ線 I D I の信号レベルが変化し、その影響を受けて出力用データ線 I D O が変動し、同時に出力バッファ 1 0 6 を作動させてしまうことから、更なる電源ノイズが発生する。

【0 0 1 2】

通常、ラッチ回路 1 0 5 でのデータ保持期間中に、書き込みデータの取り込みが行われることが考えられる。より大きなカップリングノイズが生じた、例えば図 1 5 で、入力用データ線 I D I 及び内部制御信号線 C K L の各信号が同時に同じ変化をしたときは、出力用データ線 I D O の信号が反転して、ラッチ回路 1 0 5 の保持データが反転して該保持データを破壊してしまうことも考えられる。このように、出力バッファ 1 0 6 の入力信号は、ラッチ回路 1 0 5 で保持すること

が多く、ノイズによる電位変動を受けやすいため、何らかのノイズ対策を行う必要があった。

【0013】

また、センスアンプの入力信号にノイズが乗ることも考えられる。例えば、内部制御信号線CKLの内部同期クロック信号ICK等のような駆動量の大きな信号の伝送を行う配線が、センスアンプと列ゲート102との間の配線と平行して配置されている場合、カップリングノイズによりビット線対BLの電位が変動してしまう。特に、ビット線対BLは、相補信号をなしており、一方のビット線にのみノイズが乗ると、ビット線対での電位差を増幅しているセンスアンプで、誤動作又は読み出し遅延を起こす可能性があった。

【0014】

また、図13の場合では、図12の場合と同様、出力用データ線IDOやデータ線対CLといった読み出し系のデータ線にノイズが乗ると、動作不良をもたらすという問題があった。特に、分割ワードライン方式を用いるとデータ線対CLが長くなるが、更に図13のようにメモリセルアレイ101のブロック分割を行った場合には、センスアンプSA0～SAnを対応するブロックのメモリセル近傍に配置しなければならない。このため、出力用データ線IDOが長くなり、出力用データ線IDOによって伝送される信号がカップリングノイズの影響を受けやすくなる。

【0015】

また、前記分割ワードライン方式の場合では、複数ビットを1つのデータとして扱うため、複数のデータ線を平行して引き回す必要がある。このため、電源ラインで該データ線をすべてシールドする方法では、レイアウトサイズが大きくなるという問題があった。ノイズ源となる回路が作動しているときには、センスアンプ等での読み出し動作を行わない方法や、逆に、メモリセルアレイからデータを読み出しているときには、ノイズ源となり得る回路を作動させないようにする方法も考えられるが、余分な制御回路が増えるだけでなく、半導体記憶装置自体の性能を劣化させかねない。

【0016】

更に、ラッチ回路 105 のインバータの駆動量を高め、該インバータに例えばクロックドインバータを使用して、センスアンプからのデータ転送期間中は該インバータを作動させないようにする方法も考えられるが、選択ゲートとのタイミングを合わせる必要があり、該タイミングを合わせるための制御信号を生成するための制御回路を追加する必要があった。

【0017】

本発明は、上記のような問題を解決するためになされたものであり、余分な制御回路やノイズ対策用の不要なレイアウトの追加、及びメモリ回路の性能を劣化させることなく、ビット線対から出力バッファまでの読み出し系のデータ線が、周辺回路の動作により引き起こされるノイズによって影響を受け、出力ノイズ、ラッチデータの破壊又は出力遅延といった誤動作を防止することが、既存の回路で容易にできる半導体記憶装置を得ることを目的とする。

【0018】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、メモリセルアレイへ書き込むためのデータが入力され、該データを書き込み用のバッファ回路で構成されたライトバッファ回路部に出力する入力回路部と、センスアンプ回路部で増幅された該メモリセルアレイからのデータを外部へ出力する出力回路部とを備え、前記入力回路部に入力されたデータを前記メモリセルアレイに伝送すると共に前記出力回路部から外部へ出力する半導体記憶装置において、

前記メモリセルアレイへのデータ書き込み時に、前記入力回路部に対して所定の期間のみ入力されたデータの取り込みを行わせるように前記入力回路部の動作制御を行う入力制御回路を備えると共に、

前記入力回路部によって取り込まれたデータの伝送を行う複数の入力用データ線と、前記メモリセルアレイから読み出され前記センスアンプ回路部で増幅されたデータ信号を前記出力回路部に伝送する複数の出力用データ線とが、隣り合うように交互に配置されて配線されるものである。

【0019】

また、前記入力制御回路は、外部からのクロック信号の立ち上がりエッジに同

期してデータの入力を行うように前記入力回路部の動作制御を行うようにした。

【0020】

具体的には、前記入力制御回路は、外部から入力された所定のクロック信号から所定の内部クロック信号を生成し、外部からのライトイネーブル信号がイネーブル状態になると、前記内部クロック信号が所定の信号レベルに変化してから所定の期間、前記入力回路部をそれぞれ作動させるようにしてもよい。

【0021】

また、前記各入力用データ線と各出力用データ線が同数の場合には、最端部の出力用データ線における入力用データ線が配置されていない隣部に、電源電圧又は接地電圧に接続された信号線が配置されるようにしてもよい。

【0022】

一方、前記各入力用データ線によって伝送されるデータ信号の相補信号をそれぞれ生成して出力する相補信号生成回路部と、該相補信号生成回路部からのそれぞれの信号を対応して伝送する各入力用相補データ線とを備え、前記各出力用データ線は、隣部に前記入力用データ線及び該入力用相補データ線がそれぞれ位置するように、入力用データ線と入力用相補データ線との間にそれぞれ配線されるようにしてもよい。

【0023】

また、前記各出力用データ線は、前記センスアンプ回路部の対応する出力信号をラッチした信号線であり、該ラッチされたデータが前記入力用データ線によってシールドされるようにしてもよい。

【0024】

また、具体的には、前記入力回路部は、データ書き込み時に、書き込み用データを入力して対応する入力用データ線にそれぞれ出力し、データ読み出し時には、該データ読み出し動作に入る直前に入力された書き込み用データを保持して対応する入力用データ線にそれぞれ出力するようにした。

【0025】

また、対応する入力用データ線及び出力用データ線との間にそれぞれバイパス回路を設け、該各バイパス回路は、データ書き込み時には、対応する入力用デー

タ線のデータを対応する出力用データ線にそれぞれ伝送するようにしてもよい。

【0026】

【発明の実施の形態】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態.

図1は、本発明の第1の実施の形態における半導体記憶装置の例を示した概略図である。なお、図1では、メモリセルアレイと外部とのデータの入出力に関する部分のみを示し、外部からのアドレスデータに関係する部分は省略している。

図1において、半導体記憶装置1は、ビットスライス型のメモリ回路を形成しており、メモリセルアレイ2と、メモリセルアレイ2の所望のビット線対と対応するデータ線対との接続を行う列ゲート3とを備えている。

【0027】

更に、半導体記憶装置1は、列ゲート3及びデータ線対を介してメモリセルアレイ2から入力された読み出しデータを増幅して出力するセンスアンプ回路部SAC0～SACm（mは、0を含む正の整数）と、対応する該センスアンプ回路部SAC0～SACmの出力信号の出力制御を行う選択ゲート回路部SGC0～SGCmと、該選択ゲート回路部SGC0～SGCmから排他的に選択された1つの選択ゲート回路部から出力されたデータ信号を対応する出力端子DO0～DON（nは、0を含む正の整数）を介して出力する出力回路部4とを備えている。

【0028】

また、半導体記憶装置1は、対応する入力端子DI0～DINから入力されたメモリセルアレイ2への書き込みデータであるデータ信号を出力する入力回路部5と、該入力回路部5を介して入力された書き込みデータを対応する前記データ線対に出力するライトバッファ回路部WBC0～WBCmとを備え、更に、所定のクロック信号CKとライトイネーブル信号WEBに応じて入力回路部5の動作制御を行う入力制御回路6を備えている。

【0029】

センスアンプ回路部SAC0～SACmは、対応する選択ゲート回路部SGC

0～SGC_mを介して出力用データ線IDO₀～IDO_nにそれぞれ接続され、ライトバッファ回路部WBC₀～WBC_mは、入力用データ線IDI₀～IDI_nにそれぞれ接続されている。出力用データ線IDO₀～IDO_nは、それぞれ出力回路部4に接続され、入力用データ線IDI₀～IDI_nは、それぞれ入力回路部5にそれぞれ接続されている。出力用データ線IDO₀～IDO_nは、入力用データ線IDI₀～IDI_nでシールドされるように対応する入力用データ線IDI₀～IDI_nと交互に配置され、出力用データ線IDO_nの両隣には、入力用データ線IDI_n及び接地された信号線7が対応して配置されている。更に、入力用データ線IDI₀及び信号線7の各隣には、内部同期クロック信号ICKが伝送される内部制御信号線CKLがそれぞれ配置されている。

【0030】

図2は、図1のセンスアンプ回路部SAC₀、選択ゲート回路部SGC₀及びライトバッファ回路部WBC₀の各構成例、並びに出力回路部4及び入力回路部5の各構成例を示した図である。なお、図1の他のセンスアンプ回路部SAC₁～SAC_m、他の選択ゲート回路部SGC₁～SGC_m及び他のライトバッファ回路部WBC₁～WBC_mは同様であるのでその説明を省略する。

図2において、センスアンプ回路部SAC₀はセンスアンプSA₀～SA_nで構成され、選択ゲート回路部SGC₀はNMOSトランジスタからなる選択ゲートSG₀～SG_nで構成され、ライトバッファ回路部WBC₀はライトバッファWB₀～WB_nで構成されている。また、出力回路部4は出力回路OUT₀～OUT_nで構成され、入力回路部5は入力回路IN₀～IN_nで構成されている。

【0031】

出力回路OUT₀～OUT_nは、対応する出力端子DO₀～DO_nにそれぞれ接続されると共に、出力用データ線IDO₀～IDO_nに対応してそれぞれ接続されている。センスアンプSA₀～SA_nは、対応する選択ゲートSG₀～SG_nを介して出力用データ線IDO₀～IDO_nに対応してそれぞれ接続され、更に対応するデータ線対CL₀～CL_nを介して列ゲート3にそれぞれ接続されている。入力回路IN₀～IN_nは、対応する入力端子DI₀～DI_nにそれぞれ接続されると共に、入力用データ線IDI₀～IDI_nに対応してそれぞれ接続

されている。

【0032】

一方、ライトバッファWB0～WBnは、対応する入力用データ線IDI0～IDInにそれぞれ接続されると共に、対応するデータ線対CL0～CLnを介して列ゲート3にそれぞれ接続されている。また、ライトバッファWB0～WBnは、図示していないがライトイネーブル信号WEBがそれぞれ入力され、ライトイネーブル信号WEBがイネーブルになると、対応する入力用データ線IDI0～IDInから入力されたデータをデータ線対CL0～CLnに対応して出力する。列ゲート3は、ビット線対BL0～BLnを介してメモリセルアレイ2に接続され、入力制御回路6は、外部からのクロック信号CK及びライトイネーブル信号WEBがそれぞれ入力され、該入力された各信号に応じて、入力回路IN0～INnに対してそれぞれ制御信号LTを出力し動作制御を行う。

【0033】

図3は、入力回路IN0～INnの回路例を示した図であり、入力回路IN0～INnは同じ回路であることから、図3では、入力回路INk (k=0～n)を例にして示している。

図3において、入力回路INkは、クロックドインバータ11, 12及びインバータ13, 14で構成されている。入力制御回路6からハイレベルの制御信号LTが入力されると、クロックドインバータ11がオンすると共にクロックドインバータ12がオフし、入力端子DIkから入力されたデータは、クロックドインバータ11及びインバータ13を介して入力用データ線IDIkに出力される。

【0034】

次に、入力制御回路6からローレベルの制御信号LTが入力されると、クロックドインバータ11がオフすると共にクロックドインバータ12がオンし、入力回路INkは、クロックドインバータ12及びインバータ13によってラッチ回路が形成され、該ラッチ回路によってクロックドインバータ11がオフする直前のクロックドインバータ11の出力レベルが保持される。このようにして、入力回路INkは、ローレベルの制御信号LTが入力されると入力端子DIkに入力

されたデータの入力用データ線 I D I k への出力を停止する。

【 0 0 3 5 】

図 4 は、入力制御回路 6 の回路例を示した図である。

図 4 において、入力制御回路 6 は、外部から入力されたクロック信号 C K から内部同期クロック信号 I C K を生成して出力する内部クロック生成回路 2 1 と、該内部同期クロック信号 I C K の立ち上がり時に所定のパルス幅のローレベルのパルス信号 C K P を生成して出力するパルス生成回路 2 2 と、N O R 回路 2 3 とで構成されている。N O R 回路 2 3 の一方の入力端にはパルス信号 C K P が入力され、N O R 回路 2 3 の他方の入力端にはライトイネーブル信号 W E B が入力され、N O R 回路 2 3 の出力端から制御信号 L T が出力される。

【 0 0 3 6 】

図 5 は、出力回路 O U T 0 ～ O U T n の回路例を示した図であり、出力回路 O U T 0 ～ O U T n は同じ回路であることから、図 5 では、出力回路 O U T k (k = 0 ～ n) を例にして示している。

図 5 において、出力回路 O U T k は、N A N D 回路 3 1、N O R 回路 3 2、インバータ 3 3 ～ 3 6、P M O S トランジスタ 3 7 及び N M O S トランジスタ 3 8 で構成されている。外部から入力されたアウトプットイネーブル信号 O E は、インバータ 3 3 及び 3 4 を介して N A N D 回路 3 1 の一方の入力端に入力され、N A N D 回路 3 1 の出力信号は P M O S トランジスタ 3 7 のゲートに入力される。

【 0 0 3 7 】

P M O S トランジスタ 3 7 及び N M O S トランジスタ 3 8 は、電源電圧 V d d と接地電圧との間に接続されたプッシュプル回路を形成しており、P M O S トランジスタ 3 7 と N M O S トランジスタ 3 8 の接続部は出力端子 D O k に接続されている。インバータ 3 5 及び 3 6 はラッチ回路を形成しており、出力用データ線 I D O k から入力されたデータは該ラッチ回路でラッチされ、該ラッチ回路の出力端をなすインバータ 3 5 の出力端は、N A N D 回路 3 1 の他方の入力端及び N O R 回路 3 2 の一方の入力端にそれぞれ接続されている。また、N O R 回路 3 2 の他方の入力端にはインバータ 3 3 の出力信号が入力されており、N O R 回路 3 2 の出力端は、N M O S トランジスタ 3 8 のゲートに接続されている。

【0038】

出力回路OUT_kは、通常はハイレベルのアウトプットイネーブル信号OEが入力されており、アウトプットイネーブル信号OEがハイレベルのときは、NAND回路31及びNOR回路32は、出力用データ線IDOKから入力された信号の信号レベルに応じてPMOSトランジスタ37及びNMOSトランジスタ38を作動させる。このとき、出力用データ線IDOKから入力された信号がハイレベルであることを示している場合、PMOSトランジスタ37がオンしてNMOSトランジスタ38がオフし、出力端子DOKからハイレベルのデータ信号が出力される。また、出力用データ線IDOKから入力された信号がローレベルであることを示している場合、PMOSトランジスタ37がオフしてNMOSトランジスタ38がオンし、出力端子DOKからローレベルのデータ信号が出力される。

【0039】

また、出力回路OUT_kは、アウトプットイネーブル信号OEがローレベルのときは、NAND回路31及びNOR回路32は、出力用データ線IDOKから入力された信号の信号レベルに関係なく、PMOSトランジスタ37及びNMOSトランジスタ38をそれぞれオフさせて、出力端子DOKへのデータ信号の出力を停止する。

【0040】

図6は、図3の入力回路IN_k及び図4の入力制御回路6の動作例を示したタイミングチャートであり、図6を用いて、入力回路IN_k及び入力制御回路6の動作についてもう少し詳細に説明する。

NOR回路23は、ライトイネーブル信号WEBがローレベルでライトサイクルであることを示しているときに、内部同期クロック信号ICKが立ち上がってパルス信号CKPがローレベルになっている間、ハイレベルの制御信号LTを出力する。入力回路IN_kは、制御信号LTがハイレベルになっている間、入力端子DI_kに入力されたデータを入力用データ線IDI_kに出力する。

【0041】

また、ライトイネーブル信号WEBがハイレベルでライトサイクルでないこと

を示しているか、又はパルス信号CKPがハイレベルのときは、制御信号LTはローレベルになり、入力回路IN_kは、入力端子DI_kに入力されたデータの入力用データ線IDI_kへの出力を停止する。なお、ライトイネーブル信号WEBがハイレベルのとき、内部同期クロック信号ICKが立ち上がると、出力回路OUT_kから出力端子DO_kにメモリセルアレイ2から読み出されたデータが出力される。

【0042】

このような構成において、前述したように、出力用データ線IDO₀～IDO_nは、入力用データ線IDI₀～IDI_nでシールドされるように対応する入力用データ線IDI₀～IDI_nと交互に配置され、出力用データ線IDO_nの両隣には、入力用データ線IDI_n及び接地された信号線7が対応して配置されている。更に、入力用データ線IDI₀及び信号線7の各隣には、内部同期クロック信号ICKが伝送される内部制御信号線CKLがそれぞれ配置されている。また、出力用データ線IDO₀～IDO_n、入力用データ線IDI₀～IDI_n及び信号線7において、線間にはそれぞれ寄生容量が形成されている。

【0043】

メモリセルアレイ2へのデータ書き込み時には、入力回路IN₀～IN_nによって入力端子DI₀～DI_nに入力されたデータを取り込み、該取り込んだデータは、入力用データ線IDI₀～IDI_n、ライトバッファWB₀～WB_n、データ線対CL₀～CL_n、列ゲート3及びビット線対BL₀～BL_nの順で伝送され、メモリセルアレイ2に書き込まれる。

【0044】

次に、メモリセルアレイ2からのデータ読み出し時には、メモリセルアレイ2の選択されたメモリセルのデータが、対応するビット線対BL₀～BL_nを介して列ゲート3に入力され、対応するデータ線対CL₀～CL_nを介してセンスアンプSA₀～SA_nに対応して入力される。センスアンプSA₀～SA_nは、入力されたデータ信号をそれぞれ増幅して出力し、該各出力信号は、対応する選択ゲートSG₀～SG_n及び対応する出力用データ線IDO₀～IDO_nを介して出力回路OUT₀～OUT_nに対応して入力される。出力回路OUT₀～OUT

n に入力されたデータは、対応する出力端子 $DO0 \sim DO_n$ を介して外部へ出力される。

【0045】

入力制御回路 6 は、入力データの取り込み期間を制限するために用いられ、ライトイネーブル信号 WEB からライトサイクルであるか否かを検出し、入力回路 $IN0 \sim IN_n$ に対して、入力端子 $DI0 \sim DI_n$ からのデータの取り込み期間はライトサイクルであることを検出してから一定期間のみに制限する。入力用データ線 $IDI0 \sim IDI_n$ と出力用データ線 $IDO0 \sim IDO_n$ は、前述したように互いに隣り合うように配置し、複数ある場合は交互に等間隔で配置する。

【0046】

通常、出力用データ線の隣に入力用データ線を配置すると、出力用データ線はカップリングノイズを受けてしまう。しかし、入力制御回路 6 によって入力回路 $IN0 \sim IN_n$ の動作制御を行うことによって、入力用データ線 $IDI0 \sim IDI_n$ の入力期間をライトサイクル内の一定期間と制限しているため、データ読み出し期間中や出力回路 $OUT0 \sim OUT_n$ で出力データを保持している期間において、出力用データ線 $IDO0 \sim IDO_n$ にノイズを与えることはない。入力制御回路 6 による入力回路 $IN0 \sim IN_n$ の動作制限を行っている期間は、入力用データ線 $IDI0 \sim IDI_n$ の信号レベルに変化はなく、入力用データ線 $IDI0 \sim IDI_n$ は、前の入力データを保持した形で安定している。このため、入力用データ線 $IDI0 \sim IDI_n$ は、他の信号からのノイズを遮断するというシールド効果を有している。

【0047】

また、ライトサイクルにおけるデータの取り込み中においては、入力回路 $IN0 \sim IN_n$ は作動して入力用データ線 $IDI0 \sim IDI_n$ に外部からの書き込みデータが伝送されるが、出力用データ線 $IDO0 \sim IDO_n$ には、対応するセンスアンプ $SA0 \sim SA_n$ を介して入力用データ線 $IDI0 \sim IDI_n$ の信号をそのまま伝送されることから問題はない。

【0048】

一方、センスアンプ $SA0 \sim SA_n$ は、ライトサイクルでは、メモリセルアレ

イ 2 からの微小な電位差を検出するのではなく、ライトバッファ WB 0 ~ WB n によってフルスイングされたデータを読み出すため、動作的にも安定している。入力用データ線 ID I 0 ~ ID I n と出力用データ線 ID O 0 ~ ID O n が同電位の方向に動くということは、カップリングノイズが生じたとしてもより良い方向に働いているということになる。仮に、隣り合ったデータ線に異なったビットのデータが反対のものであったとしても、カップリングノイズを打ち消し合うため悪い方向に働くことはあり得ない。

【0049】

半導体記憶装置 1 の回路レイアウトにおいては、リード状態又はライト状態に関わらず動作する信号の伝送を行う信号線が、あらゆる場所に配置され、該信号線は内部制御信号線 CK L を示している。従来の場合、該内部制御信号線 CK L が出力用データ線 ID O 0 ~ ID O n にノイズを与えることを説明したが、本第 1 の実施の形態における半導体記憶装置 1 では、すべての出力用データ線 ID O 0 ~ ID O n は、入力用データ線 ID I 0 ~ ID I n でシールドされているため、内部制御信号線 CK L からのノイズの影響を直接受けることはない。

【0050】

なお、図 3 の入力回路 IN k にフリップフロップを使用してもよく、このようにした場合、図 3 の入力回路 IN k は図 7 のようになり、図 4 の入力制御回路 6 は図 8 のようになる。なお、図 8 では、図 4 と同じもの又は同様のものは同じ符号で示している。

図 7 において、入力回路 IN k は、クロックドインバータ 4 1 ~ 4 4 及びインバータ 4 5 ~ 4 7 で構成されている。

入力制御回路 6 からハイレベルの制御信号 LT が入力されると、クロックドインバータ 4 1, 4 4 がオフすると共にクロックドインバータ 4 2, 4 3 はオンし、クロックドインバータ 4 2 及びインバータ 4 5 によってラッチ回路が形成される。該ラッチ回路によってクロックドインバータ 4 1 がオフする直前のクロックドインバータ 4 1 の出力レベルが保持されると共に、該保持されたデータがクロックドインバータ 4 3 及びインバータ 4 6 を介して入力用データ線 ID I k に出力される。

【 0 0 5 1 】

次に、入力制御回路 6 からローレベルの制御信号 L T が入力されると、クロックドインバータ 4 1, 4 4 がオンすると共にクロックドインバータ 4 2, 4 3 がオフし、クロックドインバータ 4 4 及びインバータ 4 6 によってラッチ回路が形成される。該ラッチ回路によってクロックドインバータ 4 3 がオフする直前のクロックドインバータ 4 3 の出力レベルが保持され、該保持されたデータが入力用データ線 I D I k に出力される。このようにして、入力回路 I N k は、ローレベルの制御信号 L T が入力されると入力端子 D I k に入力されたデータの入力用データ線 I D I k への出力を停止する。

【 0 0 5 2 】

次に、図 8 において、入力制御回路 6 は、内部クロック生成回路 2 1 と、N O R 回路 2 3 と、インバータ 4 9 とで構成されている。N O R 回路 2 3 の一方の入力端には内部同期クロック信号 I C K の信号レベルをインバータ 4 9 で反転させた信号が入力され、N O R 回路 2 3 の他方の入力端にはライトイネーブル信号 W E B が入力され、N O R 回路 2 3 の出力端から制御信号 L T が出力される。

【 0 0 5 3 】

図 9 は、図 7 の入力回路 I N k 及び図 8 の入力制御回路 6 の動作例を示したタイミングチャートであり、図 9 を用いて、入力回路 I N k 及び入力制御回路 6 の動作についてもう少し詳細に説明する。

N O R 回路 2 3 は、ライトイネーブル信号 W E B がローレベルでライトサイクルであることを示しているときに、内部同期クロック信号 I C K が立ち上がっている間、ハイレベルの制御信号 L T を出力する。入力回路 I N k は、制御信号 L T がハイレベルになっている間、入力端子 D I k に入力されクロックドインバータ 4 2 及びインバータ 4 5 のラッチ回路でラッチされていたデータを入力用データ線 I D I k に出力する。

【 0 0 5 4 】

また、ライトイネーブル信号 W E B がハイレベルでライトサイクルでないことを示しているときは、制御信号 L T はローレベルになり、入力回路 I N k は、入力端子 D I k に入力されたデータの入力用データ線 I D I k への出力を停止する

。なお、ライトイネーブル信号WEBがハイレベルのとき、内部同期クロック信号ICKが立ち上がると、出力回路OUT_kから出力端子DO_kにメモリセルアレイ2から読み出されたデータが出力される。

【0055】

また、図10は、図2において入力用データ線IDI₀～IDI_nと出力用データ線IDO₀～IDO_nの間に、ゲートに制御信号LTが入力されたNMOSトランジスタQ₀～Q_nを対応して設けた場合の例を示した図である。ライトサイクルにおいては書き込み用データをそのまま出力端子DO₀～DO_nからそれぞれ出力するため、センスアンプSA₀～SA_nは、ライトサイクル時に対応する入力端子DI₀～DI_nに入力された書き込み用データを、出力用データ線IDO₀～IDO_nを介して対応する出力端子DO₀～DO_nにそれぞれデータ転送を行っている。そこで、入力用データ線IDI₀～IDI_nと出力用データ線IDO₀～IDO_nとの間にNMOSトランジスタQ₀～Q_nのバイパス回路をそれぞれ設けることにより、ライトサイクル初期に出力用データ線IDO₀～IDO_nのデータが不安定になるのを防ぐことができる。また、センスアンプSA₀～SA_nを経由する必要がないため、センスアンプSA₀～SA_nの動作をそれぞれ停止することにより、消費電流の低下を図ることができる。

【0056】

このように、本第1の実施の形態における半導体記憶装置は、入力制御回路6によってライトサイクル内の一定期間にしか作動しないように動作制御される入力回路IN₀～IN_nに対応して接続された入力用データ線IDI₀～IDI_nを、出力用データ線IDO₀～IDO_nのシールド用として利用することにより、余分なレイアウトや制御回路を追加することなく、出力用データ線をそれぞれ電源配線等でシールドせずに、容易にカップリングノイズの影響を小さくしてノイズ耐性を向上させることができ、回路レイアウトのサイズを小さくすることができる。

【0057】

第2の実施の形態。

メモリセルアレイ2への入出力を行うビット線対BL₀～BL_nは相補信号が

伝送されることから、入力端子から入力されたデータ信号の反転信号をどこかで生成する必要がある。これを入力回路 $IN0 \sim INn$ の直後で行うようにすればよく、このようにしたものを本発明の第2の実施の形態とする。

【0058】

図11は、本第2の実施の形態における半導体記憶装置の例を示した概略図である。なお、図11では、図2と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に、図2との相違点のみ説明する。また、図11では、 $n=0$ の場合を例にして示しており、 $n=0$ 以外の場合も同様であることからその説明を省略する。

図11における図2との相違点は、図2の入力用データ線 $IDIO$ に対する入力用データ線 $IDIOB$ を設けて入力用データ線対にし、出力用データ線 $IDOO$ の両隣に入力用データ線 $IDIO$ 及び $IDIOB$ を対応して配置するようにし、入力用データ線 $IDIOB$ に入力回路 $IN0$ から出力されたデータ信号をインバータ $INV0$ で信号レベルを反転させた信号を出力するようにしたことにある。なお、インバータ $INV0$ は相補信号生成回路部をなしている。

【0059】

出力用データ線 $IDOO$ は、入力用データ線 $IDIO$ 及び $IDIOB$ でシールドされるように、両隣に入力用データ線 $IDIO$ 及び $IDIOB$ が対応して配置されている。更に、入力用データ線 $IDIO$ 及び $IDIOB$ の各隣には、内部同期クロック信号 ICK が伝送される内部制御信号線 CKL がそれぞれ配置されている。また、出力用データ線 $IDOO$ 及び入力用データ線 $IDIO$ 、 $IDIOB$ において、線間にはそれぞれ寄生容量が形成されている。このようにすることにより、入力用データ線 $IDIOB$ には入力用データ線 $IDIO$ に伝送される信号の相補信号が伝送され、出力用データ線 $IDOO$ を入力用データ線 $IDIO$ 及び $IDIOB$ でシールドすることができ、出力用データ線 $IDOO$ へのノイズ除去効果が得られる。

【0060】

このように、本第2の実施の形態における半導体記憶装置は、出力用データ線 $IDOO$ は、入力用データ線対 $IDIO$ 及び $IDIOB$ でシールドされるように

、両隣に入力用データ線 I D I 0 及び I D I 0 B が対応して配置し、インバータ I N V 0 によって、入力回路 I N 0 から出力されたデータ信号の信号レベルを反転させた信号を入力用データ線 I D I 0 B に出力するようにした。このことから、前記第 1 の実施の形態と同様の効果を得ることができると共に、入力端子から入力されたデータ信号の反転信号を容易に生成してライトバッファに伝送することができる。

【 0 0 6 1 】

なお、前記第 1 及び第 2 の実施の形態では、読み出し用データをラッチしている出力用データ線へのノイズ対策方法について説明したが、センスアンプに接続されているデータ線対についても、同様の方法でノイズ対策を実施することができる。相補信号が伝送されるデータ線対を入力用データ線で挟むように平行に配置することにより、データ読み出し時におけるデータ線対へのノイズの進入を防止することができ、センスアンプの誤動作やデータ出力遅延を防ぐことができる。

【 0 0 6 2 】

【発明の効果】

上記の説明から明らかなように、本発明の半導体記憶装置によれば、ノイズに対して動作不良を起こしやすいデータ読み出し用のデータ線である出力用データ線を、データ書き込み時に所定の期間のみ入力用データ線に書き込み用データを出力すると共に、リード状態やデータ保持状態には動作を行わないように設定したデータ書き込み用のデータ線である入力用データ線でシールドするため、既存の回路で容易に構成することができ、レイアウトサイズを大きくすることなく、その結果性能を低下させることなくノイズ耐性を向上させることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施の形態における半導体記憶装置の例を示した概略図である。

【図 2】 図 1 のセンスアンプ回路部 S A C 0、選択ゲート回路部 S G C 0、ライトバッファ回路部 W B C 0、出力回路部 4 及び入力回路部 5 の各構成例を示した図である。

【図 3】 図 2 の入力回路 $IN_0 \sim IN_n$ の回路例を示した図である。

【図 4】 図 2 の入力制御回路 6 の回路例を示した図である。

【図 5】 図 2 の出力回路 $OUT_0 \sim OUT_n$ の回路例を示した図である。

【図 6】 図 3 の入力回路 IN_k 及び図 4 の入力制御回路 6 の動作例を示したタイミングチャートである。

【図 7】 図 2 の入力回路 $IN_0 \sim IN_n$ の他の回路例を示した図である。

【図 8】 図 2 の入力制御回路 6 の他の回路例を示した図である。

【図 9】 図 7 の入力回路 IN_k 及び図 8 の入力制御回路 6 の動作例を示したタイミングチャートである。

【図 10】 本発明の第 1 の実施の形態における半導体記憶装置の他の例を示した概略図である。

【図 11】 本第 2 の実施の形態における半導体記憶装置の例を示した概略図である。

【図 12】 従来の半導体記憶装置の例を示した概略図である。

【図 13】 従来の半導体記憶装置における他の例を示した図である。

【図 14】 内部制御信号線 CKL が出力用データ線 IDO 近傍に配置された例を示した図である。

【図 15】 図 14 のように配線された場合における出力用データ線 IDO への影響例を示した図である。

【符号の説明】

- 1 半導体記憶装置
- 2 メモリセルアレイ
- 3 列ゲート
- 4 出力回路部
- 5 入力回路部
- 6 入力制御回路
- 7 信号線

$SAC_0 \sim SAC_m$ センスアンプ回路部

$WBC_0 \sim WBC_m$ ライトバッファ回路部

S G C 0 ~ S G C m 選択ゲート回路部

I D I 0 ~ I D I n 入力用データ線

I D O 0 ~ I D O n 出力用データ線

C K L 内部制御信号線

I N 0 ~ I N n 入力回路

O U T 0 ~ O U T n 出力回路

W B 0 ~ W B n ライトバッファ

S A 0 ~ S A n センスアンプ

S G 0 ~ S G n 選択ゲート

D I 0 ~ D I n 入力端子

D O 0 ~ D O n 出力端子

B L 0 ~ B L n ビット線対

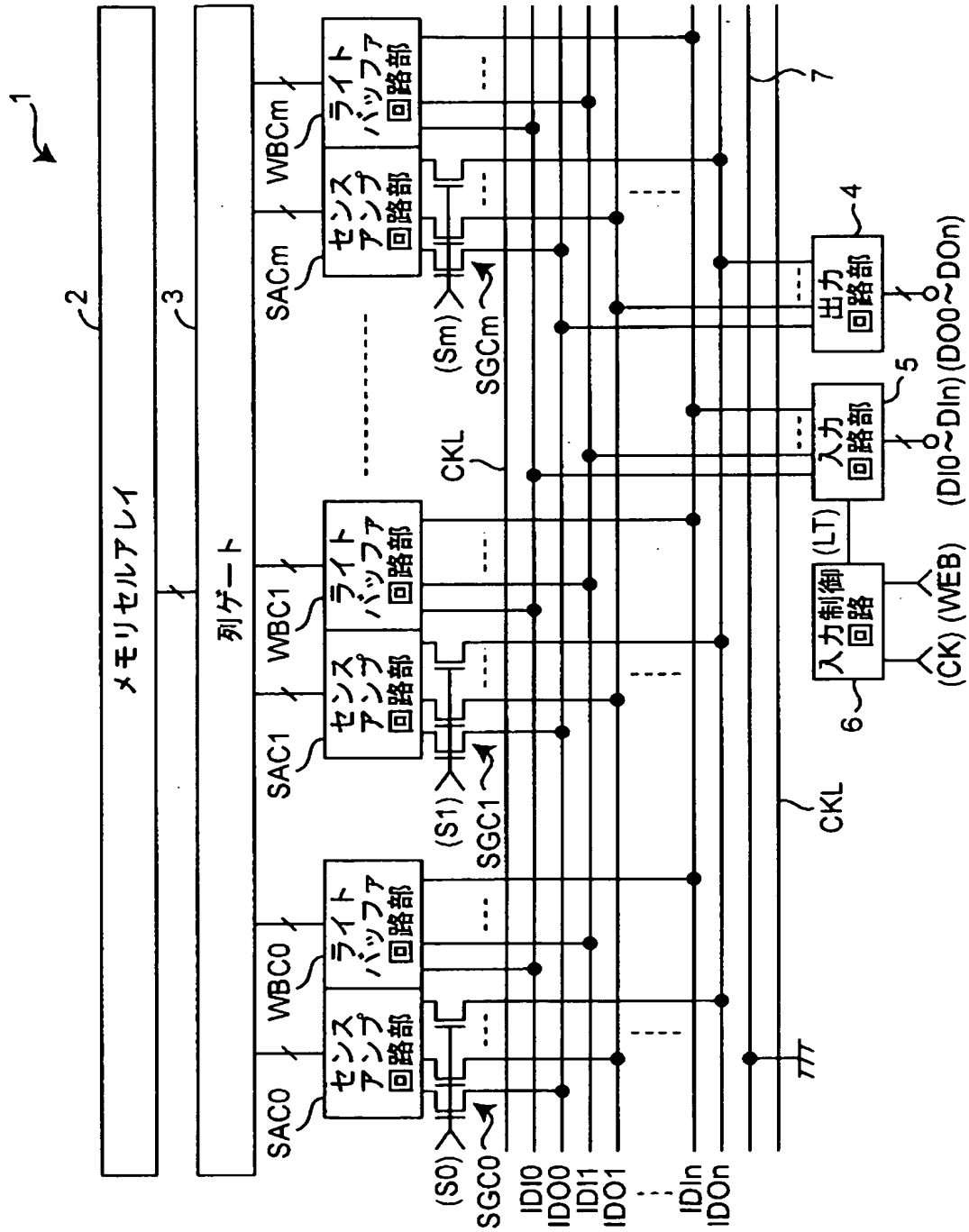
C L 0 ~ C L n データ線対

Q 0 ~ Q n N M O S トランジスタ

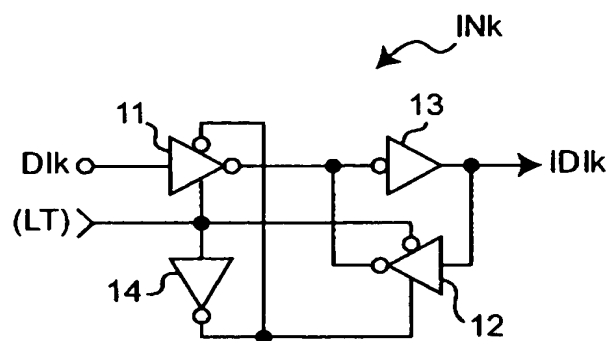
I N V 0 インバータ

【書類名】 図面

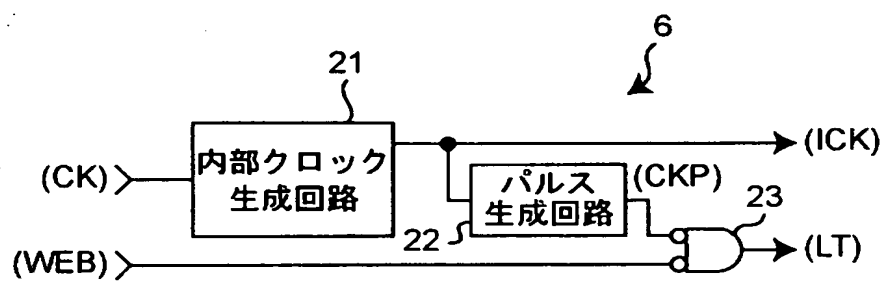
【図 1】



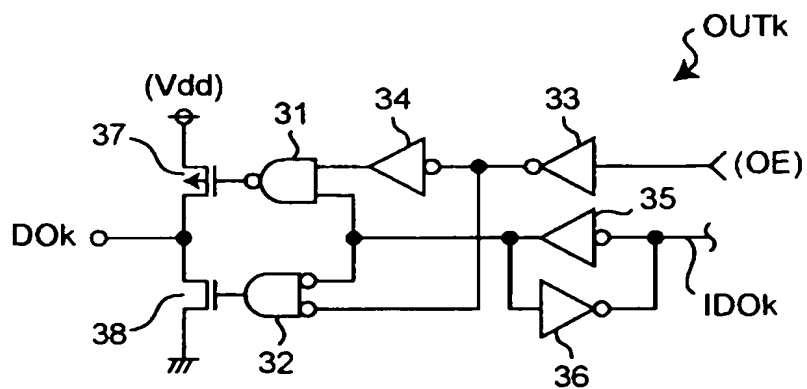
【図 3】



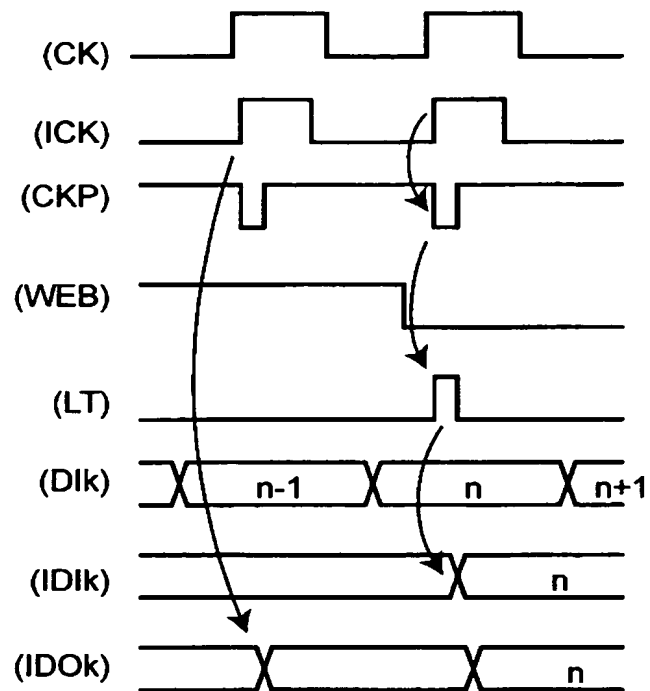
【図 4】



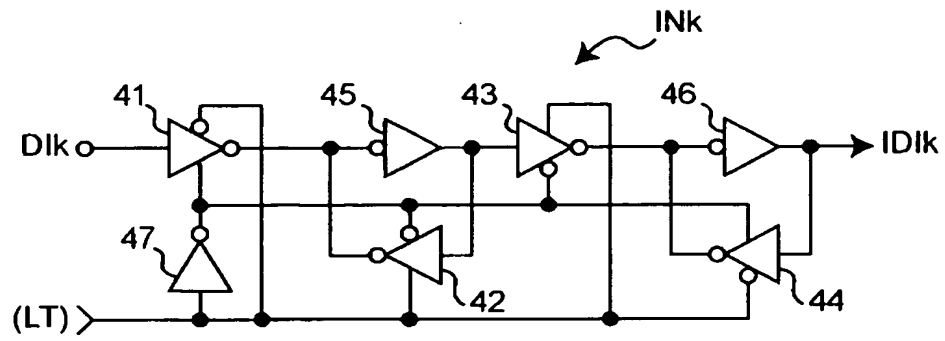
【図 5】



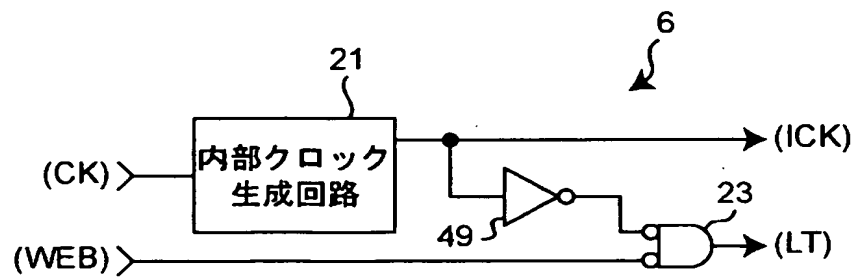
【図 6】



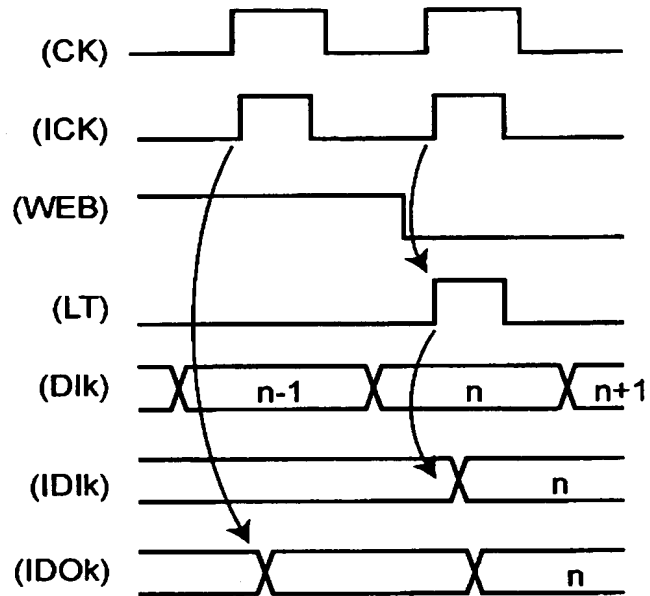
【図 7】



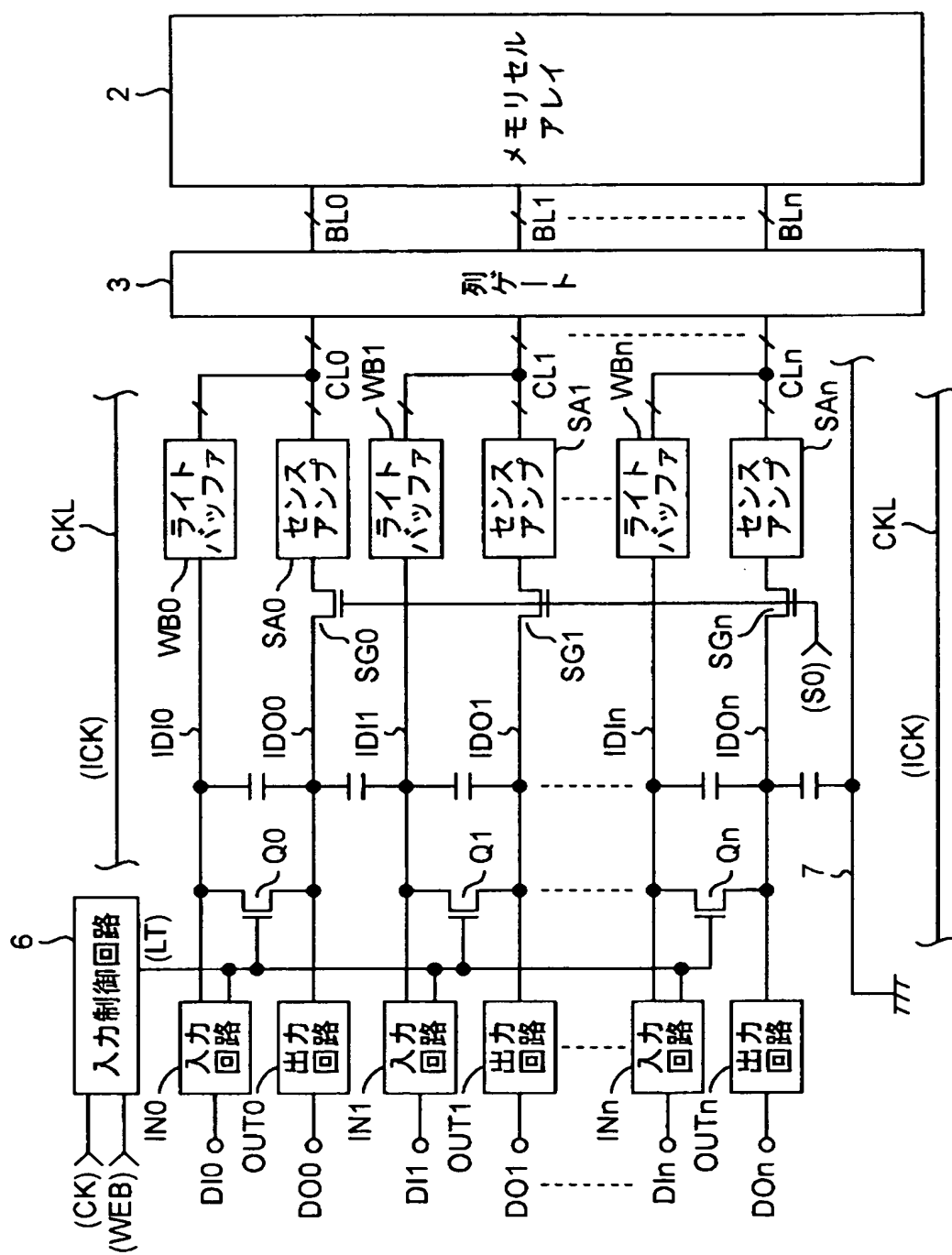
【図 8】



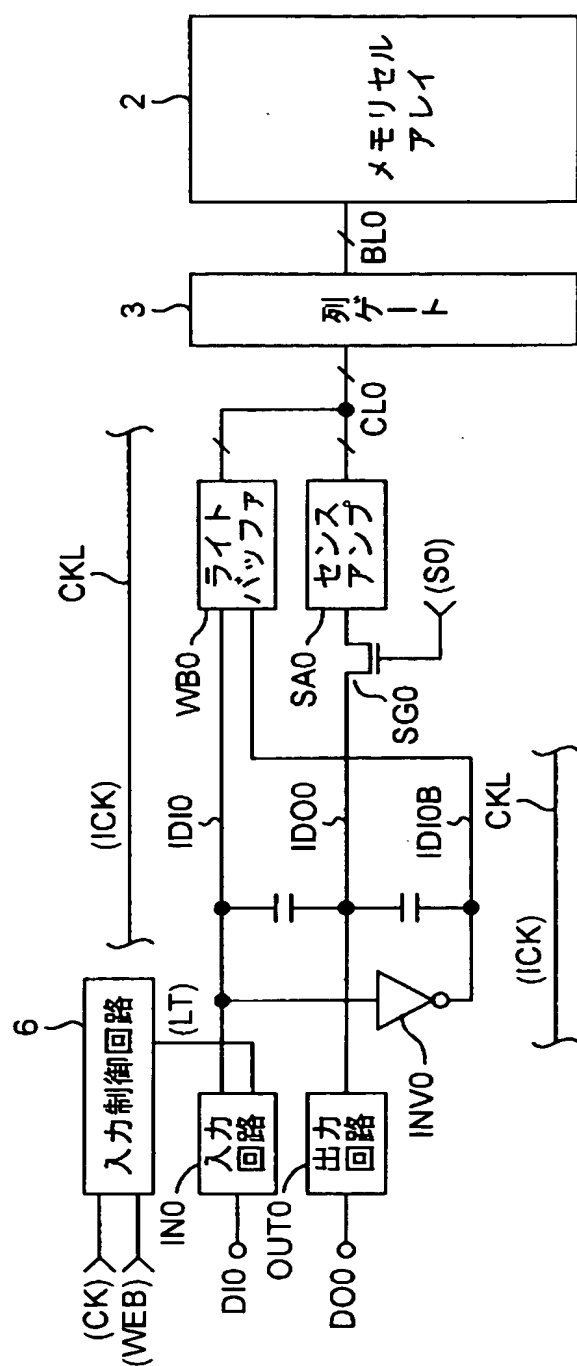
【図 9】



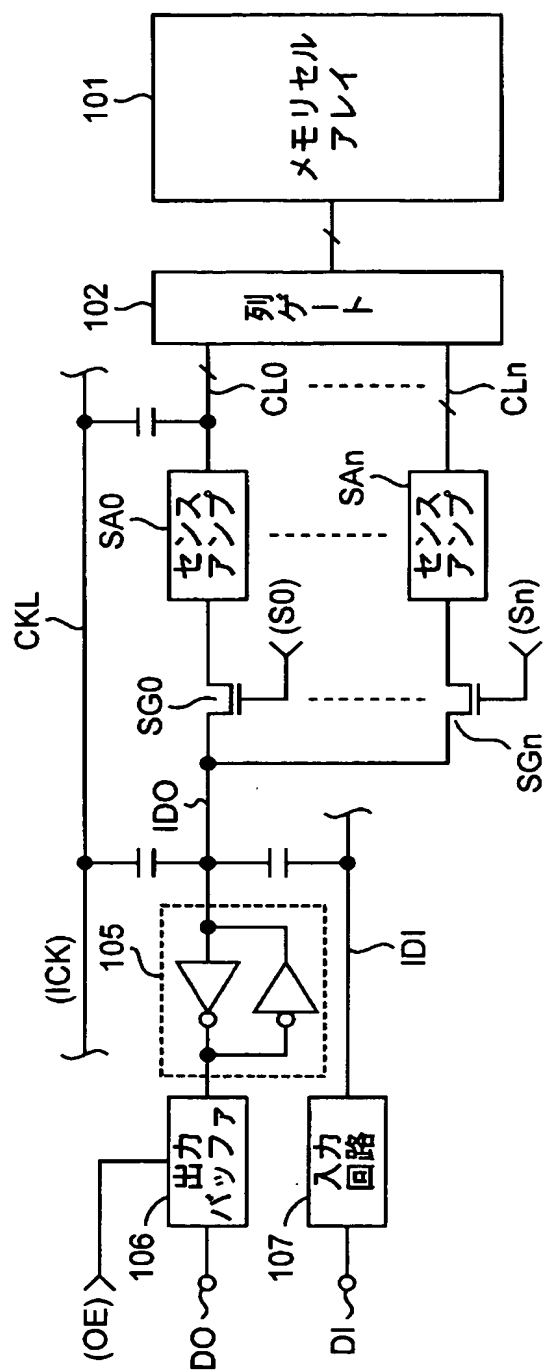
【図 10】



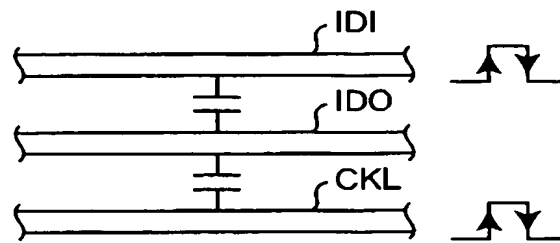
【図 1 1】



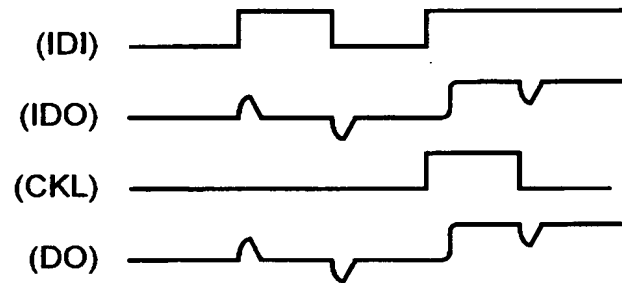
【図 13】



【図 14】



【図 15】





【書類名】 要約書

【要約】

【課題】 余分な制御回路やノイズ対策用の不要なレイアウトの追加、及びメモリ回路の性能を劣化させることなく、ビット線対から出力バッファまでの読み出し系のデータ線が、周辺回路の動作により引き起こされるノイズによって影響を受け、出力ノイズ、ラッチデータの破壊又は出力遅延といった誤動作を防止することが、既存の回路で容易にできる半導体記憶装置を得る。

【解決手段】 入力制御回路 6 によってライトサイクル内の一定期間にしか作動しないように動作制御される入力回路 $IN0 \sim INn$ に接続された入力用データ線 $IDI0 \sim IDIn$ を、出力用データ線 $IDO0 \sim IDOn$ をシールドするように対応して交互に配置するようにした。

【選択図】 図 2

特願 2003-036535

出願人履歴情報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー